

Plateforme pédagogique de simulation de la structure interne des ordinateurs, v2.0

Client

Jean-François Lalonde
Professeur, Université Laval
courriel: jflalonde@gel.ulaval.ca
téléphone: 418-656-2131 #2659
bureau: PLT-1138E

Contexte

Dans le cadre du cours GIF-1001 Ordinateurs: Structure et Applications, nous avons développé une plateforme de simulation permettant aux étudiants de programmer en assembleur ARM. Accessible via une interface web, le simulateur propose une interface de visualisation conviviale, qui permet aux étudiants de concevoir et d'analyser leurs programmes facilement. Cette plateforme a été utilisée par plus de 600 étudiants depuis sa création il y a 2 ans et est accessible en tout temps à l'adresse suivante:

<http://gif1001-sim.gel.ulaval.ca>

Description du projet

Ce projet vise à développer un simulateur pédagogique permettant aux étudiants de comprendre un ordinateur dans son ensemble, plutôt que seulement le micro-processeur tel que l'offre la version courante du simulateur. L'ordinateur simulé doit:

- Respecter les documentations techniques et spécifications des produits ARM concernés
- Offrir une interface conviviale permettant à l'étudiant de détecter, comprendre et corriger facilement ses erreurs.
- Être suffisamment rapide pour permettre une exécution instantanée de programmes complexes.
- Comporter des outils permettant de faciliter la correction de travaux d'étudiants (mode d'exécution "batch", détection de duplicatas, production automatique de rapports de correction, etc.)
- Permettre à l'équipe pédagogique d'activer ou désactiver certaines sections du simulateur, pour faciliter l'apprentissage des étudiants.
- Fournir une documentation technique permettant de le maintenir et de lui adjoindre facilement de nouvelles fonctionnalités.

Le projet comporte donc des requis importants en ce qui a trait à la robustesse, la vitesse, la convivialité, l'exhaustivité et l'extensibilité.

En termes de requis techniques, nous visons la simulation des fonctionnalités suivantes :

- Un « MMU » (Memory Management Unit), permettant de faire de la traduction d'adresse en mémoire paginée.

- Un décodeur d'adresse, permettant de sélectionner la composante activée sur les bus en fonction de l'adresse fournie par le CPU.
- Des interruptions simultanées, permettant l'implémentation d'algorithmes d'ordonnancement pour l'exécution séquentielle de plusieurs processus.
- Des périphériques de base (clavier, écran, imprimante, et disque dur) permettant d'interagir avec le microprocesseur.
- Un contrôleur de DMA, simulant le transfert de données de grande taille entre le disque dur et la mémoire principale.
- Un contrôleur de cache, permettant de simuler les «hit» et «miss» avec un (ou plusieurs) niveaux de cache.

Impact

Ce projet représente une excellente opportunité d'avoir un impact réel sur l'apprentissage des étudiants dans nos programmes. Ce cours est obligatoire dans 5 programmes, et contributoire dans 7 autres, ce qui représente des centaines d'étudiants à chaque année. Aidez-nous à améliorer l'expérience des étudiants qui vous suivent dans nos programmes!